

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-064787

(43)Date of publication of application : 05.03.1990

(51)Int.Cl.

G06G 7/60
G06F 15/18

(21)Application number : 63-215102

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.1988

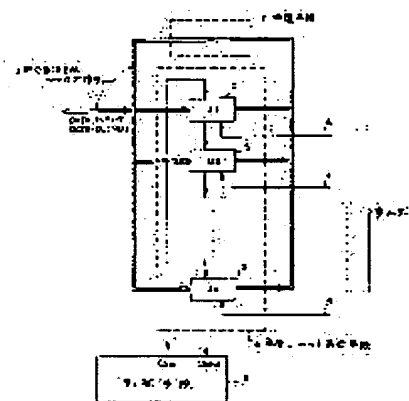
(72)Inventor : TSUZUKI HIROYUKI
ENDO SHUICHI
KAWASAKI TAKASHI
MATSUDA TOSHIHARU
ASAKAWA KAZUO
KATO HIDEKI
YOSHIZAWA HIDEKI
ICHIKI HIROMOTO
IWAMOTO HIROSHI
TSUCHIYA CHIKARA
ISHIKAWA KATSUYA
SUGIURA YOSHIHIDE

(54) HIERARCHY STRUCTURE NEUTRAL NET

(57)Abstract:

PURPOSE: To equivalently form the neutral net of hierarchy structure by setting the plural units of neuron models, forming the unit set of a single layer and using the unit set of single layer structure with time-sharing and multiplexing.

CONSTITUTION: A unit 5 of the neuron model generates a product with digital weighting data 4 from an external part for a time-sharing and multiplexing analog signal 3. Then, the product is integrated by being added through a capacitor with the time-sharing. A single layer unit set means 6, which sets plural units 5 and forms the unit set of the single layer, can output a voltage to pass through a non-linear output function with the time-sharing. A feedback means 7 feeds back the output of the single layer unit set means 6 to the input part of the same single layer unit set means 6 to the input part of the same single layer unit set. A control means 8 multiplexes the analog signal, which is outputted from the single layer unit set means 6, from each unit 5 with the time-sharing and further executes control to use the single layer unit set means 6 through the feedback means 7 with the time-sharing and multiplexing. Thus, the neutral net can be constituted.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

訂正有り

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-64787

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月5日

G 06 G 7/60
G 06 F 15/18

7208-5B
6745-5B

審査請求 未請求 請求項の数 2 (全14頁)

⑮ 発明の名称 階層構造ニューラルネット

⑯ 特 願 昭63-215102

⑰ 出 願 昭63(1988)8月31日

⑱ 発 明 者 都 築 裕 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 遠 藤 秀 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 川 崎 貴 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 発 明 者 松 田 俊 春 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 大曾 義之 外1名

最終頁に続く

明 細 書

1. 発明の名称

階層構造ニューラルネット

2. 特許請求の範囲

1) 複数のニューロンモデルを相互に接続することにより形成されるニューラルネットにおいて、

時分割多重化アナログ信号(3)を外部からのデジタル重みデータ(4)との積を生成し、かつその積を時分割的にコンデンサを介して加えることにより積分し、非線形出力関数を通した電圧を時分割的に出力することを可能とするニューロンモデルのユニット(5)を複数設置して単層のユニット集合を形成する単層ユニット集合手段(6)と、

前記単層ユニット集合手段(6)の出力を同じ単層ユニット集合の入力部に帰還する帰還手段(7)と、

前記単層ユニット集合手段(6)から出力され

る各ユニット(5)からのアナログ信号を時分割多重化し、さらに前記帰還手段(7)を介して前記単層ユニット集合手段(6)を時分割多重使用するための制御を実行する制御手段(8)とを有し、

単層構造のユニット集合手段(6)を時分割多重使用することにより等価的に階層構造のニューラルネットを形成することを特徴とする階層構造ニューラルネット。

2) 請求項1記載のニューラルネットにおいて、ユニット間の結合重みを可変にできることを特徴とする階層構造ニューラルネット。

3. 発明の詳細な説明

(概 要)

単層のハードウェアを時分割多重化使用して多層化することを可能とする階層構造ニューラルネットのアーキテクチャに関し、。

単層のハードウェアを時分割多重化使用して等価的に多層化することを可能とすることを目的と

し、

複数のニューロンモデルを相互に接続することにより形成されるニューラルネットにおいて、時分割多重化アナログ信号を外部からのデジタル重みデータとの積を生成し、かつその積を時分割的にコンデンサを介して加えることにより積分し、非線形出力関数を通した電圧を時分割的に出力することを可能とするニューロンモデルのユニットを複数設置して単層のユニット集合を形成する単層ユニット集合手段と、前記単層ユニット集合手段の出力を同じ単層ユニット集合の入力部に帰還する帰還手段と、前記単層ユニット集合手段から出力される各ユニットからのアナログ信号を時分割多重化し、さらに前記帰還手段を介して前記単層ユニット集合手段を時分割多重使用するための制御を実行する制御手段とを有し、単層構造のユニット集合手段を時分割多重使用することにより等価的に階層構造のニューラルネットを形成するように構成する。

をネットワーク上に接続することにより、超並列処理を行い、高度な情報処理を高速に行うことができ、広範囲な分野での利用が期待されている。そしてニューラルネットの性能を引き出すために必要とされるニューロンのハードウェア化の実現が待たれている。

第9図はニューロンモデルのブロック図である。ニューロンモデルはニューラルネットの各ノードにあたる処理要素であり、ユニットと呼ばれている。神経回路網、すなわちニューラルネットの場合には、ユニットと伝達線とを合わせてニューロン、すなわちユニットと呼び、伝達線とユニットとの結合点をシナプス結合と呼ぶこともある。それぞれの結合には重みと呼ばれる量が付加されている。この重みはユニット間の相互作用の強さを表すパラメータであって通常 W_{ih} でユニット h からユニット i への結合とその結合の重みの両方をさす。ネットワークの学習は通常この重みを変化させることで実現される。ニューラルネットの全ユニットの内部状態をネットワークの状態という

〔産業上の利用分野〕

本発明はアレイ状に相互配線されたニューロンで構成される階層構造のニューラルネットのハードウェア化に係り、更に詳しくは単層のハードウェアを時分割多重化使用して多層化することを可能とする階層構造ニューラルネットのアーキテクチャに関する。

数々のパターン認識問題が積分器と量子化器からなるアナログニューロンを相互に結合したニューラルネットによって解析できることがわかってきた。そして複数のニューロンで構成されるニューラルネットは演算の並列性が極めて高いという特徴がある。さらにこのようにニューラルネットで構成されるニューロコンピュータはパターン認識や知識処理、機械制御、信号処理などに利用され得ると考えられている。

例えば音声認識の分野においては入力音声情報列を音声情報の標準パターンと対応づけることにより、入力音声が何であるかを認識することができる。このようにニューラルネットはニューロン

が、各ユニットでは x_i が内部活性化レベルと呼ばれる内部状態になっている。

各ユニット i は前段のユニットからの重み付入力を受けて、その総和を計算し、その値に適当な非線形関数 f をほどこしたものを出力とする。すなわち、ニューロンモデルは第9図に示すように他のニューロンモデル、すなわち他のユニットからの出力 y_h に対して

$$x_i = \sum_h y_h \cdot W_{ih} + \theta \quad \dots \dots (1)$$

$$y_i = f(x_i) \quad \dots \dots (2)$$

の処理を行って出力するものである。

ここで、 y_h はユニット h の出力、 y_i はユニット i の出力、 W_{ih} は i ユニットと h ユニット間のリンクの重み、 f は非線形関数、 θ は閾値である。

ニューラルネットは、このようなユニットをネットワーク上に接続したものである。

ニューラルネットにおける学習の方式は種々あり、例えば誤り訂正型の方法が使われる。この方式は、ネットワークにある結合の重みのパターンをその時点で与え、もし、そのパターンが間違っ

ていた場合にはその結合の重みを修正するという繰返しによって最終的に正しいパターンを求めるといものである。

(従来の技術)

第10図は従来の階層構造ニューラルネットの概念図である。同図において、①はニューロンモデルのユニット、②はシナプス結合のアーキで、I1~I5は入力層のユニット、H1~H10は隠れ層のユニット、O1~O4は出力層のユニットである。入力層の各ユニットI1~I5はそれぞれ後段のユニットH1~H10に共に接続され、例えばI1はH1~H10にすべて接続された完全グラフになっている。このように、ニューラルネットを階層化することにより、例えば、出力層における出力信号と帰還信号との2乗誤差を最小にするように、出力層から逆向きに入力層に向かって、結合の重みを修正していくという誤り逆伝搬学習の法則が利用できる。すなわち、学習時には例えば結合における重みとして適当なパターン

を与え、ネットワークから出力された出力値が目的の解でなければ、この重みパターンをその誤差が小さくなるように変えていくことになる。

(発明が解決しようとする課題)

従来の階層構造のニューラルネットは各層をそれぞれ別にハードウェアで実現していたため、多量のユニット配置と膨大なユニット間接続を必要とし、従って、多くのハード量と非常に複雑な回路とを必要とする、という問題点が生じていた。

本発明は、単層のハードウェアを時分割多重化使用して等価的に多層化することを可能とすることを目的とする。

(課題を解決するための手段)

第1図は本発明の構成図である。複数のニューロンモデルを相互に接続することにより形成されるニューラルネットにおいて、時分割多重化アナログ信号3を外部からのデジタル重みデータ4との積を生成し、かつその積を時分割的にコンデン

サを介して加えることにより積分し、単層ユニット集合手段6は非線形出力関数を通した電圧を時分割的に出力することを可能とするニューロンモデルのユニット5を複数設置して単層のユニット集合を形成し、帰還手段7は前記単層ユニット集合手段6の出力を同じ単層ユニット集合の入力部に帰還し、制御手段8は前記単層ユニット集合手段6から出力される各ユニット5からのアナログ信号を時分割多重化し、さらに前記帰還手段7を介して前記単層ユニット集合手段6を時分割多重使用するための制御を実行し、単層構造のユニット集合手段6を時分割多重使用することにより等価的に階層構造のニューラルネットを形成することを特徴とする。

(作 用)

本発明のニューラルネットでは、単層のユニット集合のハードウェアを時分割多重使用することにより、等価的に階層構造ニューラルネットを形成している。さらに、ニューラルネットにおいて、

ユニット間の結合重みを可変にできる。

(実 施 例)

次に本発明の実施例を図面を参照して説明する。

第2図は、本発明の階層構造ニューラルネットの構成の概念図である。同図において、U1、U2、U3は単層のニューロンすなわちユニット集合である。各ユニットから出力される出力信号は同じバスに接続された帰還手段7によって帰還され同じユニット集合の入力になる構造で、本発明では単層のユニットU1~U3を時分割多重化使用して等価的に階層構造ニューラルネットを構成するものである。

第3図は、本発明のユニットの入出力電圧の波形を示すタイミング図である。

本発明のユニットでは、積に対応する振幅を有するパルス電圧(D_1, D_2, D_3)と重みデータ(W_1, W_2, W_3)を時分割で入力し、内部で $W_1 D_1 + W_2 D_2 + W_3 D_3$ の積和を求め、さらにその結果を非線形関数演算し、 $CS_{1,0}$ がハイレベルのと

き、その結果 D_{out} を出力する。そして、 $C S_{out}$ の出力制御信号を出す。本発明では、この動作を単層のユニット集合のみを何度も使用し、等価的に多層化するものである。

第4図は第2図の本発明のニューラルネットで実現される等価的な階層構造ニューラルネットの概念図である。また第5図は第2図の本発明の時分割多重化使用ニューラルネットの伝送波形の詳細なタイミングチャートである。

第2図において、 W データ1、 W データ2、 W データ3はユニット U_1 、 U_2 、 U_3 にそれぞれ入力する可変の重みデータである。まず第5図のタイムチャートに示されるように、データ入力線データからユニット U_1 、 U_2 、 U_3 にそれぞれ YD_1 、 YD_2 、 YD_3 が与えられ、それとともにユニット U_1 、 U_2 、 U_3 にそれぞれ重みデータ W データ1、 W データ2、 W データ3が時分割的に与えられる。すなわち、 YD_1 と同時に W データ1がユニット U_1 に時刻 T_1 で与えられ、次の時刻 T_2 において YD_2 と W データ2がユニット

U_2 に与えられ、次の時刻 T_3 に YD_3 と W データ3とがユニット U_3 に与えられ、それぞれ積が計算されさらにシグモイド関数を通る。この場合、本発明を第4図の層構造ニューラルネットに写像すると、ユニットの入力層 I_1 、 I_2 、 I_3 がそれぞれ本発明の U_1 、 U_2 、 U_3 に対応し、入力電圧と重み電圧との積がそれぞれのユニット I_1 、 I_2 、 I_3 で実行されることを意味する。第4図の I_1 ユニットで、 YD_1 と W データ1との積が計算され、さらにシグモイド関数を通った出力値として YI_1 が出力される。これは、隠れ層の H_1 、 H_2 に同時に与えられるが、第2図の本発明では隠れ層に相当するユニットも同じユニットの U_1 、 U_2 を用いて行われるため、 I_1 に対応する U_1 から出力された YI_1 はフィードバック線からなる帰還手段7を介して再び帰還され、 H_1 、 H_2 に対応する U_1 、 U_2 に時刻 T_1 で与えられる。このときの重みデータはそれぞれ W データ1、 W データ2で、同様に YI_1 とともに H_1 、 H_2 に対応する U_1 、 U_2 に与えられる。同様に、第

4図では、 YD_2 と W データ2との積は I_2 で計算され、その中にあるシグモイド関数を介して I_2 から YI_2 が出力され、それが H_1 、 H_2 に与えられる。これを第2図で説明すれば、 I_2 の処理は U_2 で行われるため、 U_2 から出力される YI_2 はフィードバック線を介して再び帰還され、 H_1 、 H_2 に相当する U_1 、 U_2 にそれぞれ同時に時刻 T_2 で与えられる。同様に、 I_3 において実行された YD_3 と W データとの積のシグモイド関数出力値は YI_3 で、これも第4図では、 H_1 、 H_2 とともに与えられるため、第2図の本発明では H_1 、 H_2 に対応する U_1 、 U_2 に同時に時刻 T_3 において与えられる。

第4図において、 H_1 、 H_2 に入力される YI_1 、 YI_2 、 YI_3 の各々に W データ1、 W データ2、 W データ3をそれぞれ掛ける掛算動作が実行される。本発明では、第5図に示されるように、この掛算動作は異なる時刻 T_1 、 T_2 、 T_3 で実行され、その総和に対するシグモイド関数を通した出力値が YH_1 である。同様にユニット H_2 にお

いても YI_1 、 YI_2 、 YI_3 の各々に重みデータ W データ1、 W データ2、 W データ3が掛けられ、その総和が H_2 で実行されシグモイド関数の値が YH_2 となる。この動作は時分割で行われる。すなわち、後者の場合、 YI_1 と W データ1、 YI_2 と W データ2、 YI_3 と W データ3はそれぞれ異なる時刻 T_1 、 T_2 、 T_3 で H_2 に対応する U_2 に入力され、それらの総和のシグモイド関数が出力され、その結果の YH_2 が出力されるタイミングは YH_1 と異なり、時刻 T_3 である。

本発明ではこのように、 H_1 、 H_2 に対しても同じ U_1 、 U_2 を用いて時分割処理が実行される。また、出力層 O_1 、 O_2 、 O_3 も同様に本発明では U_1 、 U_2 、 U_3 を用いて実行される。すなわち、第5図に示されるように、 H_1 に対応する U_1 から出力されるアナログ電圧 YH_1 は O_1 、 O_2 、 O_3 に対応する U_1 、 U_2 、 U_3 に時刻 T_1 において入力され、 H_2 に対応する U_2 からの出力 YH_2 は O_1 、 O_2 、 O_3 に時刻 T_2 において与えられる。すなわち、本発明では H_1 と O_1 は

同じユニットU1であり、H2とO2は同じユニットU2であり、O3はU3に対応するため、YH1と重みとの積はO1、O2、O3に対応するU1、U2、U3において同時に行われる。YH2と重みデータとの積は異なる時刻T₂においてO1、O2、O3に対応するU1、U2、U3で同時に行われる。そしてO1、O2、O3に対応するU1、U2、U3の各ユニットにおいて、積和がT₁とT₂で計算されシグモイド関数を通した出力値としてYO1、YO2、YO3が時刻T₁、T₂において出力される。なお、第5図に示される制御信号CS1、CS2、CS3、CS4は入力信号と重みデータとの積をとりシグモイド関数を出すまでの計算の実行を可能とする制御信号であり、例えば、CS1はU1が実行状態となるときに1となるパルスである。そのためYI1、YH1、YO1がそれぞれ、時刻T₁、T₂、T₃で入力され、それに対応する重みデータが入力されているときに1となっているパルス信号である。同様にCS2はYI2、YH2、YO2が

U2に入力されているときに1となるパルス信号で、CS3はYI3、YH3、YO3がU3に入力されているときに1となるパルス信号である。また、制御信号CS4はユニットU3から出力されるもので、U3の演算実行後に出されるパルスとなる。

このように本発明では、単層のユニット集合を時分割多重使用して等価的に階層構造のニューラルネットを構成するものである。

第6図は本発明のユニットのブロック図である。

(I)部は入力部である。入力信号は前時刻の複数のユニットから出力された時分割アナログ入力である。この入力パルス電圧は、入力インピーダンスが無限大で、出力インピーダンスが0である1倍のアンプすなわち、バッファで整形され、出力されるが、この入力部にオフセットキャンセル機能がある。オフセットキャンセル制御部からオフセットコントロール信号が与えられると、オフセットキャンセル部を介してそのバッファに強制的に0電圧が入力され、次段に接続される各部

のオペアンプの出力にオフセット電圧を発生させ、後述する機能によりオフセットをキャンセルするようにしている。

(II)部は掛算部である。入力部から出力された時分割アナログ信号の各アナログ信号パルス電圧を正負切換回路に入力し、デジタル重みデータの符号ビット(SIGN)に従って興奮性の正電圧または抑制性の負電圧に切り換え、D/Aコンバータに入力する。D/Aコンバータにはデジタル重みデータの数値ビットのMSBからLSBまで入力され、正負切換回路から出力された電圧をD/Aコンバータの内部にあるR-2R方式の抵抗回路に与える。このことにより、数値ビットに対応した重み電流がR-2R方式の抵抗回路に流れ、結果として、D/Aコンバータの出力には、アナログ信号とデジタル重みデータとの積が生成され、バッファから出力される。この掛算部(II)の機能によりニューロン間の重みが可変にでき、ニューラルネットの特性を動的に変化させることができ、外部制御によりネットワークの学習が可能と

なる。

(III)の部分は加算部である。ここでは、掛算部の結果、すなわち時分割多重化アナログ信号とデジタル重みデータとの積の結果の電圧は積分器に入力されるが、入力される信号は振幅値の異なるパルス電圧であり、これが時分割で入力されるので、時分割加算制御部の制御に従って次段の積分器の内部にあるコンデンサにそのアナログ信号とデジタル重みデータとの積の和が貯えられる。さらにオフセットキャンセル制御部の制御に従って入力電圧を強制的に0にした時のコンデンサの電圧をスイッチによって反転させ、実際の入力が加算された結果からこのオフセット電圧を引くことによりオフセット電圧をキャンセルしている。この回路によって精度が低下することを防いでいる。

(IV)の部分はサンプル/ホールド部である。積分器の出力が(V)部のサンプル/ホールド部に入力され、コンデンサにその値がホールドされるが、ここでも、オフセットキャンセル機能を持

たせている。すなわちオフセットキャンセル制御部からの制御に従って次段の回路に発生するオペアンプのオフセット電圧をオフセットキャンセル部にフィードバックし、そのオフセット電圧をキャンセルするようにしている。

(V)の部分はシグモイド関数発生回路で、サンプル/ホールド部においてサンプル/ホールドされたアナログ信号とデジタル重みデータとの積の和がシグモイド関数回路に入力される。

(VI)の部分は出力部である。本発明ではユニットから次の時刻へのユニット(ただし、同一の層にある)へは必ず時分割のアナログ電圧で伝送するため、出力制御部に入力される出力制御入力信号の制御により、シグモイド関数によって生成された出力電圧は時分割アナログ出力部によって適当な時間に出力される。また、ユニット間の相互の時間間隔を制御するために出力制御出力信号が外部に伝送される。

第7図は、本発明のニューラルネットのユニットの詳細図である。本発明のユニットでは入力部

(I)、掛算部(II)、加算部(III)、サンプル/ホールド部(IV)、非線形関数部(V)、及び出力部(VI)から構成されている。

入力部(I)はオフセットキャンセル部11と、1倍のバッファ9から構成されている。1倍のバッファ9はオペアンプの出力を-端子にフィードバックし、+端子に入力電圧を入力することによって構成される。データ入力はアナログの時分割されたパルス信号である。OCはオフセットコントロール信号であり、これが1のときアナログスイッチ26がオンし、1倍のバッファ9には、0電圧が強制的に設定される。一方、オフセットコントロール信号OCが、0のときアナログスイッチ26はオフされ、アナログスイッチの他方25がオンし、データ入力が1倍のバッファ9に入力される。すなわち、オフセットコントロール信号OCが1である場合には、ニューロンモデルのユニットには0ボルトが強制的に入力されて次段の回路のオペアンプの出力に生じるオフセット電圧に対するオフセットのキャンセルの動作を行うよ

うにしている。

正負切換回路12は2つの倍数器をカスケード結合して構成されている。倍数器では入力抵抗(10K Ω)とフィードバック抵抗(10K Ω)によって10/10、すなわち1倍の電圧の反転したものが形成され、それを1段だけを通すか、2段を通すかによってアナログ電圧の符号を決定している。その制御電圧はデジタル重みデータの符号ビット(SIGN)であり、このSIGNビットはMOSスイッチ30のゲートに接続されている。符号ビットが1である場合に入力部からの入力電圧は第1段目の倍数器で反転され、さらにスイッチ27もオンしているので後段の倍数器も通り、結果として正相となる。また符号ビットが0である場合には、反転回路28を介して、スイッチ29がオンとなる。この時スイッチ27と30はオフしているため、入力部からの入力電圧はスイッチ29を介して後段のオペアンプ31の-端子に入力される。従って、前段の抵抗32と後段のオペアンプのフィードバックの抵抗33とによって倍数

器が形成され、1倍された形で反転される。すなわち、符号ビットの正負によって入力部の入力が正または負の電圧として形成され、これが、興奮性と抑制性のシナプス結合に従った電圧となる正負切換回路12からの出力は掛算部の中にあるD/Aコンバータ13のR-2R抵抗回路網の34の点に入力される。

R-2R方式のD/Aコンバータをまず説明する。MSBからLSBまでのデジタル重みによって内部のスイッチはオンまたはオフをとる。デジタル値が1である場合に、電流は右側のスイッチ35を通過して、オペアンプ36の仮想接地点37'に流れ込む。オペアンプ36の仮想接地点37'は+端子と同じ電圧になるように制御され、これがグラウンドであるから仮想的な0ボルトである。スイッチの状態に関わらず、2Rの抵抗には電流が流れ、デジタル値の値に従ってその2Rに流れる重み電流が仮想接地点37'の方に流れるかどうか決定される。1番右の2Rに流れる電流を1とする。右から2番目すなわちLSBに対応する

2Rは1番右の2Rに係る電圧を2Rで割った値であるから $2R \times i + 2R$ でiとなる。従って1番右の横方向のRには電流iが流れる。右から3番目の2Rには $2R \times i + R \times 2i$ の電圧がかかり、これを2Rで割るから2iの電流が流れる。以下同様で左に行くに従って4i, 8iとなって2のべき乗で増える電流になる。この2のべき乗になった重み電流をオペアンプの方に流すか流さないかを決めているのがMSBからLSBである。従って、デジタル重みに対応する電流が2のべき乗の形で仮想接地に入りこみ、オペアンプの入力インピーダンスは無限大であるから、この電流がオペアンプ36の帰還抵抗37に流れる。従って、出力電圧 V_{out} は入力電圧をEとすれば、

$$V_{out} = -\frac{E}{2^n} \times (D_0 + 2 \times D_1 + 2^2 \times D_2 + \dots + 2^{n-1} \times D_{n-1})$$

となる。ここで、 D_0 はLSBで、 D_{n-1} がMSBであるとする。すなわち、掛算部の出力は入力電圧に重みを掛けた値になっている。その重み係

数はMSBからLSBに入力されるデジタル値で制御されることになる。

次に加算部(Ⅲ)を説明する。加算部(Ⅲ)は38の R_f と帰還キャパシタ C_f による積分器である。加算部の入力部には時分割加算制御部15があり、サンプル/ホールド信号S/H信号が1のとき掛算部の出力電圧がオペアンプの仮想接地点39に入力され、S/H信号が0のとき反転回路40によりスイッチ41がオンとなって掛算部の出力が R_f を介してグラウンドに接続されるので加算部の帰還キャパシタ C_f には加算されないことになる。今、S/H信号が1のとき、掛算部の出力電圧は R_f を介してオペアンプ39の一端子に入力し、入力電圧を R_f で割った電流が仮想接地を介して帰還キャパシタ C_f の方に入力される。キャパシタ C_f を含む積分回路の帰還回路42には4つのスイッチを用いてオフセットキャンセル機能が付加されている。今オフセットコントロール信号OCが1になったとすると、スイッチ43と44がオンで、45と46がオフとなる。オフ

セットコントロールOCは入力部2にも入力され、これが1である場合にはデータ入力は強制的には0にされる。この場合、正負切換回路及び掛算部のD/Aコンバータを介してもしオフセットがなければ、D/Aコンバータの出力は0ボルトとなる。しかし、オペアンプがあるためにオフセット電圧が生じ、そのオフセット電圧が加算部の C_f に蓄えられる。オフセットコントロール信号OCが0のときには、データインプットに入力電圧が与えられ、それに対応する掛算部の出力が R_f を介して C_f に入力される。この場合、前のオフセットコントロール信号が1である場合と違って C_f の+-の極性は逆である。そのため、入力信号が入力されたときに生じるオフセット電圧はOCを1にすることにより、 C_f の極性が変わり、結果として、オフセットがキャンセルされることになる。なお、スイッチ47はリセット信号によって制御され、リセット信号が与えられた場合に、加算部の出力を強制的に0にリセットするものである。

加算部(Ⅲ)の出力はサンプル/ホールド回路5の入力となる。サンプル/ホールド部5では、サンプル/ホールド制御信号S/H_{out}が1である場合に、スイッチ48を介して加算部4の出力がコンデンサ C_s に蓄えられる。S/H_{out}信号が1である場合には、反転回路54'によってスイッチ50の制御信号は0となり、コンデンサ C_s の一方の端子はグラウンドに接地されず、スイッチ51がオンになることによりユニットの最終出力データの信号がそのスイッチ51を介して入力される。すなわち、その時の最終出力信号がフィードバックされてコンデンサ C_s の下側に与えられる。従って、 C_s のコンデンサには、加算器の出力から最終出力データの値を引いた電圧が保持される。一方S/H_{out}制御信号が0のときには、スイッチ49と50がオンし、コンデンサ C_s の下側はグラウンドとなり、結果として C_s に蓄えられた電圧、すなわち加算部の出力から最終出力値を引いた電圧値がスイッチ49を介して1倍のオペアンプの+側に入力される。そしてバッファ5

3を介してシグモイド関数の入力となる。また、 S/H_{ovr} 制御信号が1のときスイッチ48がオンし、 C_{α} には加算器の出力値と最終出力値との差の電圧が蓄えられているときには、スイッチ52がオンしている。そのためバッファ53には0ボルトが強制的に入力される。この時にシグモイド関数及びオペアンプを介してデータアウトにはオフセット電圧が生成される。これがスイッチ51を介して C_{α} の下側に入力される。従って S/H_{ovr} 制御信号が0の時点、すなわちスイッチ49がオンでスイッチ52がオフである場合には、 C_{α} に蓄えられた電圧、すなわち(加算部の出力-オフセット電圧)がバッファ53とシグモイド関数を介して最終出力になるが、オフセットコントロール信号OCが1になると、この時に生成されるオフセット電圧も Δv であるから結果としてオフセット電圧がキャンセルされることになる。

シグモイド関数を生成する非線形関数部(V)は非線形回路選択制御部22があり、 $Se1Sig$ 信号を1にするとスイッチ55がオンし、シグ

モイド関数がオペアンプ56に入力される。しかし、 $Se1Sig$ 信号が0の時には反転回路57を介してスイッチ58の制御信号が1となってそれがオンし、シグモイド関数の出力はカットされる。すなわち $Se1Sig$ 信号が0の時には、サンプル/ホールドの出力電圧がシグモイド関数を介さずに直接オペアンプ56に入力される。オペアンプ56は本質的には出力を-端子に直接帰還する1倍のオペアンプでバッファの働きをする。すなわち出力インピーダンスを0にするバッファとなる。

出力部(VI)には時分割アナログ出力部24と出力制御部23が接続されている。 CS_{in} が1のときにはスイッチ59がオンで、スイッチ61もオンであるため、最終出力値が-端子にフィードバックされて、1倍のオペアンプとして働く。それと同時に最終出力値がサンプル/ホールド部5にフィードバックされる。一方、 CS_{in} が0のときスイッチ60がオンになり、スイッチ61がオフになる。すなわちバッファ56の出力はデータ

アウト線には出力されないことになる。しかし、スイッチ60がオンすることによって1倍のバッファを形成するようにしているため問題なく実行される。出力制御部23は CS_{in} によって出力パルス電圧を伝達するかどうかを決める回路である。この CS_{in} をディレイ回路を介して CS_{ovr} にし、他のユニット(ただし、同じ層にある)に対する出力アナログ信号の時間タイミングを決定することになる。すなわち、本発明では出力部からのアナログ信号は時分割で伝送されるため、他のユニットからのアナログ信号と競合しない。

第8図は本発明のニューロボードのブロック図である。同図において、62はバスインターフェース部で、ニューロボードとシステムとのインターフェースを行うもの、63は入出力制御部でネットワーク部へのデータの入出力を制御するもの、64はネットワーク部で単層のユニット集合で時分割多重使用により等価的に階層構造のニューラルネットが形成されているもの、65はメモリでニューラルネットのデジタル重みデータを格納す

るもの、66はネットワーク制御部でネットワークの単層構造を時分割多重使用により多層化するための同期制御信号を出力する制御部である。

本発明のニューロボードでは、ネットワーク制御部66でユニット総数よりネットワーク構造を決定し、かつユニットの重みはメモリ65より出力され、学習時に刻々と変わる重みデータもこのメモリに入力される。またネットワーク64へのデータ入出力は入出力制御部63より行われ、結果として層構造ニューラルネットの学習及び実行処理がニューロボードレベルで行われる。

(発明の効果)

本発明によれば、単層のユニット集合のみのハードウェア構成で、等価的に階層構造のニューラルネットを実現することができ、従って大量のユニット配置とユニット間接続を必要とせず、極めて実用的なニューラルネットを構成することができる。

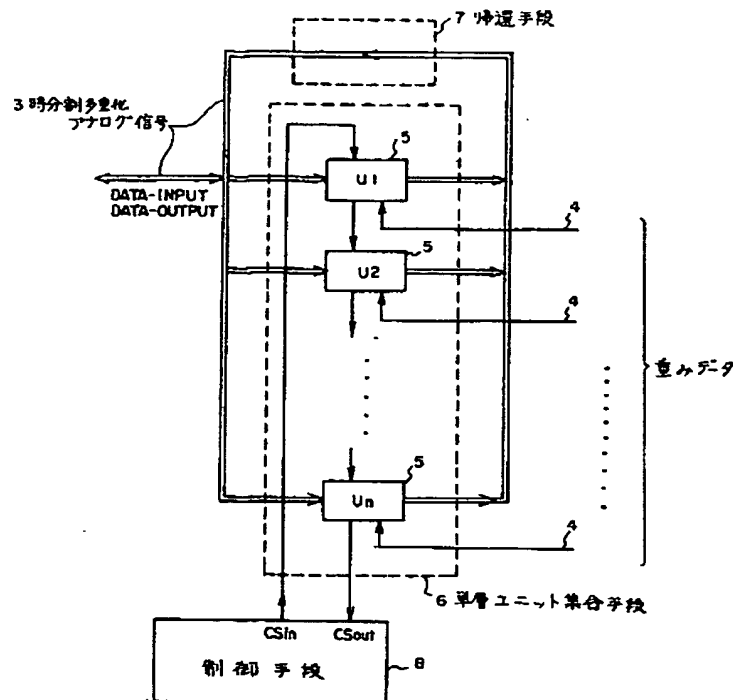
4. 図面の簡単な説明

第1図は本発明の構成図、
 第2図は本発明の階層構造のニューラルネットの概念図、
 第3図は本発明のユニットの入出力電圧の波形を示すタイミング図、
 第4図は第2図の本発明のニューラルネットで実現される等価的な階層構造ニューラルネットの概念図、
 第5図は第2図の本発明の時分割多重化使用ニューラルネットの伝送波形のタイミングチャート、
 第6図は本発明のユニットのブロック図、
 第7図は本発明のニューラルネットのユニットの詳細図、
 第8図は本発明のニューロボードのブロック図、
 第9図はニューロンモデルのブロック図、
 第10図は従来の階層構造ニューラルネットの概念図である。

5 . . . ユニット
 6 . . . 単層ユニット集合部
 7 . . . 帰還部
 8 . . . 制御部
 11~15
 . . . 入力層のユニット
 H1~H10
 . . . 隠れ層のユニット
 O1~O4
 . . . 出力層のユニット

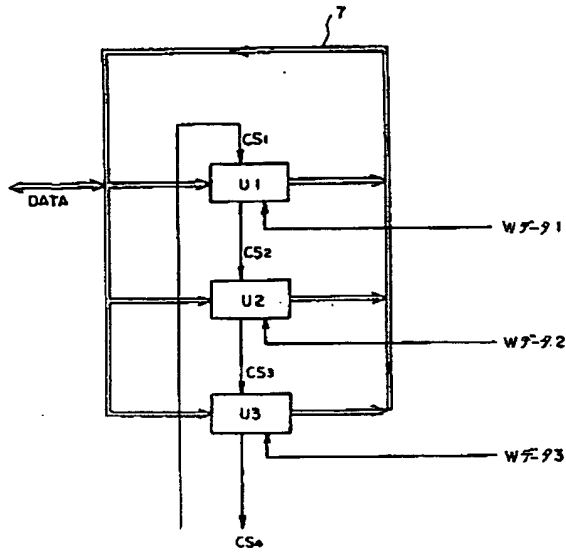
3 . . . 時分割多重化使用アナログ信号
 4 . . . デジタル重みデータ

特許出願人 富士通株式会社

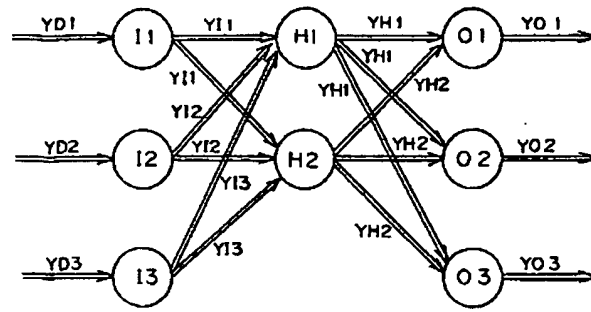


本発明の構成図

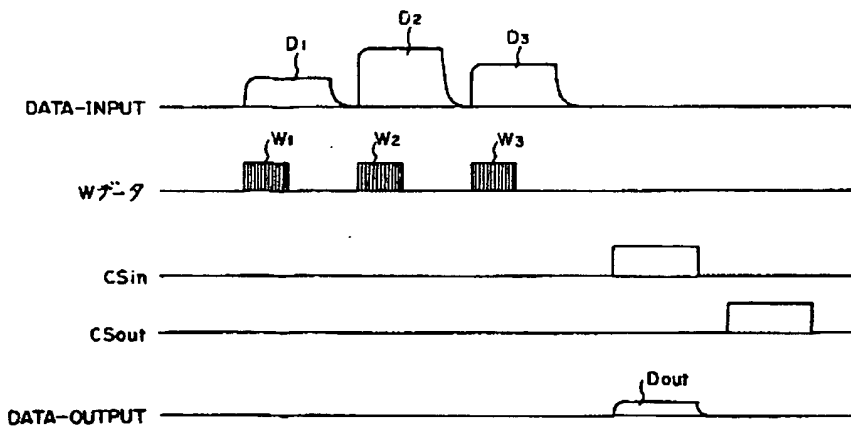
第1図



本発明の階層構造ニューラルネットの構成の概念図
第 2 図



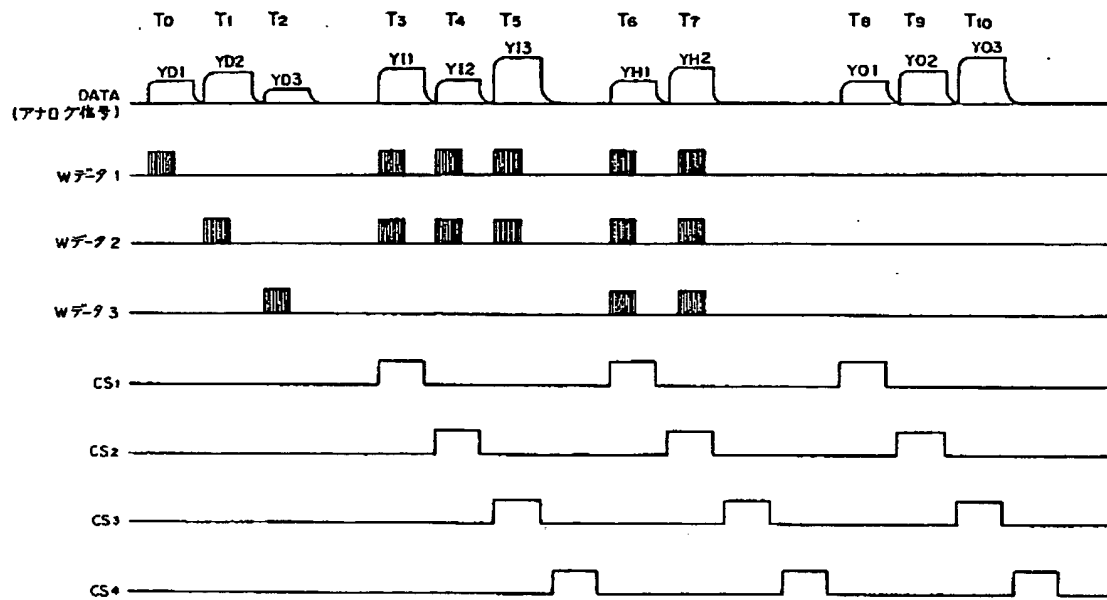
第 2 図の本発明のニューラルネットで実現される
等価的な階層構造ニューラルネットの概念図
第 4 図



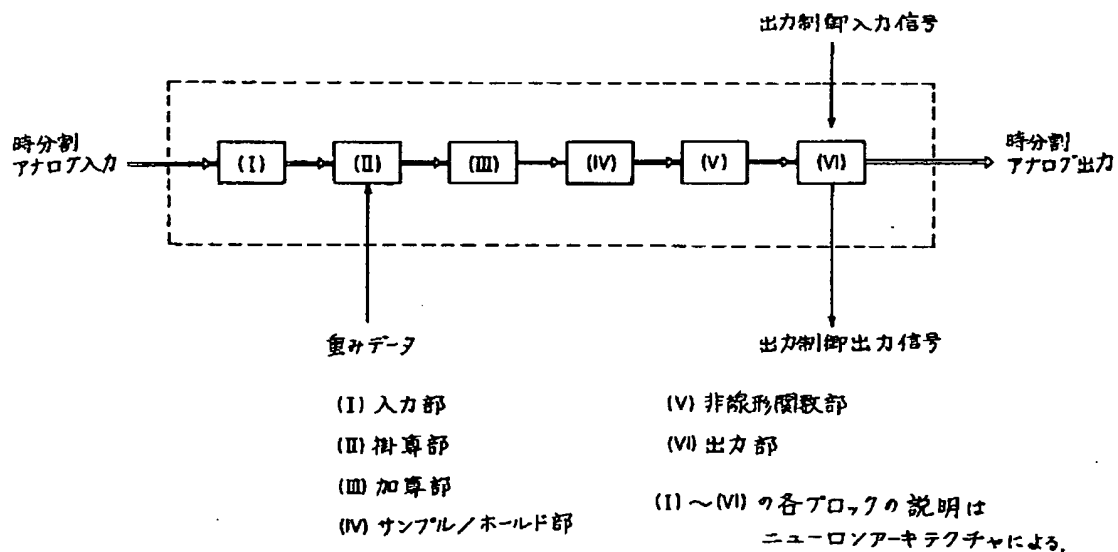
DATA-INPUT・時分割アナログ入力 CSin・出力制御入力 DATA-OUTPUT・時分割アナログ出力
W-DATA・重みデータ CSout・出力制御出力

本発明のユニットの入出力電圧の波形を示すタイミング図

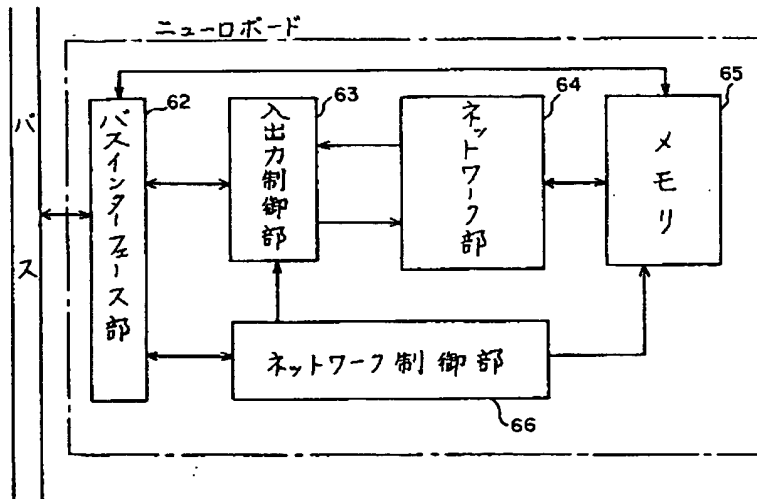
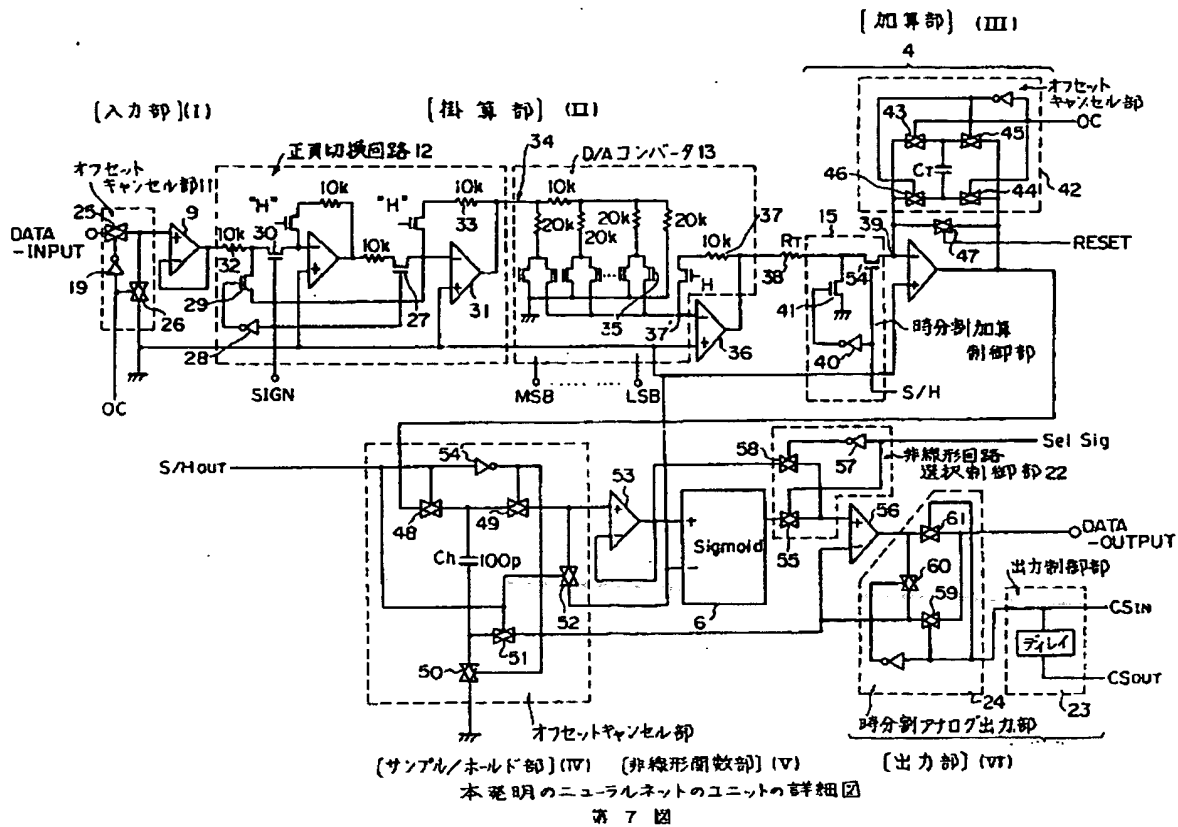
第 3 図



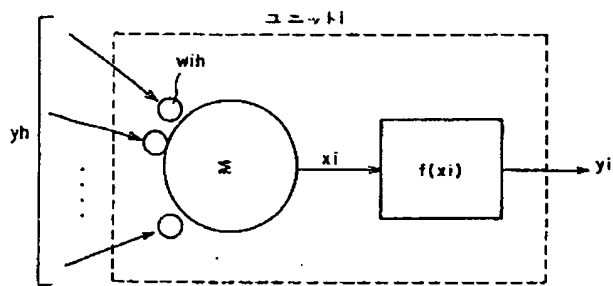
第 2 図の本発明の時分割多重化使用ニューラルネットの伝送波形の詳細なタイミングチャート
第 5 図



本発明のユニットのブロック図
第 6 図

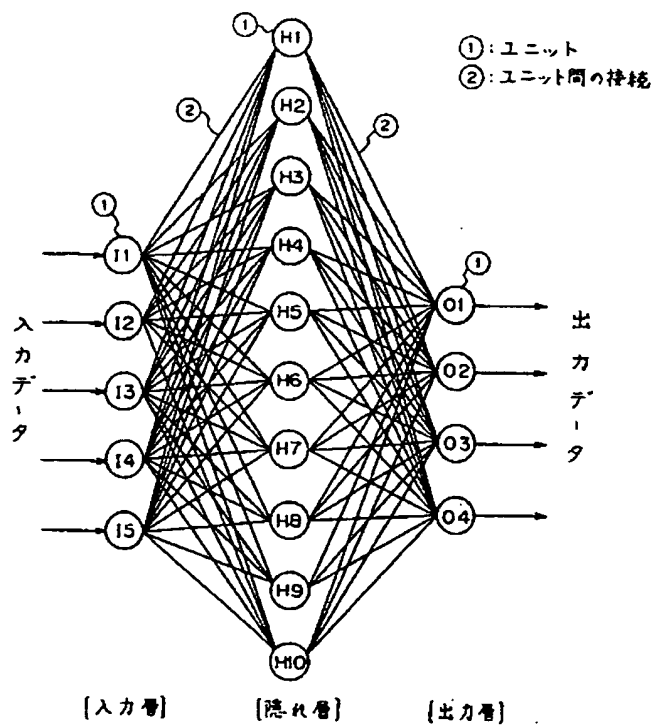


本発明のニューロボードのブロック図



y_h : h ユニットからの出力
 w_{ih} : h ユニットと i ユニットとの重み
 x_i : 内部活性化レベル
 f : 非線形関数
 y_i : i ユニットの出力

ニューロンモデルのブロック図
第 9 図



従来の階層構造ニューラルネットの概念図
第 10 図

第1頁の続き

⑩発明者	浅川	和雄	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑪発明者	加藤	英樹	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑫発明者	吉沢	英樹	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑬発明者	市来	宏基	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑭発明者	岩本	弘	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑮発明者	土屋	主税	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑯発明者	石川	勝哉	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑰発明者	杉浦	義英	神奈川県川崎市中原区上小田中1015番地 富士通株式会社内